
(19)

KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication number: **1020030002298 A**
(43)Date of publication of application: **08.01.2003**

(21)Application number: **1020020005622**

(71)Applicant: **SAMSUNG ELECTRONICS CO., LTD.**

(22)Date of filing: **31.01.2002**

(72)Inventor: **LEE, CHANG HYEON**

(30)Priority: **28.06.2001 1**

(51)Int. Cl **H01L 27/10**

(54) FLOATING TRAP TYPE MEMORY DEVICE OF NON-VOLATILE SEMICONDUCTOR MEMORY DEVICE

(57) Abstract:

PURPOSE: A floating trap type memory device of a non-volatile semiconductor memory device is provided to enhance a programming speed and an erasing speed by improving a structure of the floating trap type memory device. **CONSTITUTION:** A plurality of active regions are formed on a semiconductor substrate(10). A string selection gate electrode(117s) and a ground selection gate electrode(117g) are formed on the active regions. A plurality of memory gate electrodes(117m) are formed between the string selection gate electrode(117s) and the ground selection gate electrode(117g). A tunneling insulating layer(110), a charge storage layer(112), and a blocking insulating layer(114) are formed between the active regions and the memory gate electrodes(117m). A doping region(102) is formed at both sides of the string selection gate electrode(117s), the ground selection gate electrode(117g), and the memory gate electrodes(117m). A common source line(CSL) is arrayed at an opposite side to the memory gate electrodes(117m). The semiconductor substrate(10) including the gate electrodes(117g,117m,117s) and the common source line(CSL) is covered by an interlayer dielectric(120).

copyright KIPO 2003

Legal Status

Date of request for an examination (20020131)

Notification date of refusal decision ()

Y.P. Lee, Mock & Partners

Elkington and Fife LLP

18 June 2008

Page 2

Final disposal of an application (registration)

Date of final disposal of an application (20040830)

Patent registration number (1004565800000)

Date of registration (20041101)

Number of opposition against the grant of a patent ()

Date of opposition against the grant of a patent ()

Number of trial against decision to refuse ()

Date of requesting trial against decision to refuse ()

Date of extinction of right ()

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁷
H01L 27/10

(11) 공개번호 특2003-0002298
(43) 공개일자 2003년01월08일

(21) 출원번호	10-2002-0005622
(22) 출원일자	2002년01월31일
(30) 우선권주장	1020010037421 2001년06월28일 대한민국(KR)
(71) 출원인	삼성전자 주식회사
	경기 수원시 팔달구 매탄3동 416번지
(72) 발명자	이창현
	경기도수원시팔달구영통동1039-12202 호
(74) 대리인	임창현

심사청구 : 있음

(54) 비휘발성 반도체 메모리 장치의 부유 트랩형 메모리 소자

요약

반도체 기판, 기판 위로 형성된 게이트 전극, 기판과 게이트 전극 사이에 차례로 형성된 터널링 절연막, 전하 저장층, 플로팅 절연막, 게이트 전극 양측의 기판에 형성된 불순물 도핑층을 구비하는 비휘발성 반도체 메모리 장치의 부유 트랩형 메모리 소자에 있어서, 플로팅 절연막의 유전율이 터널링 절연막의 유전율에 비해 큰 것을 특징으로 하는 부유 트랩형 비휘발성 반도체 메모리 소자가 개시된다.

대표도

도4

명세서

도면의 간단한 설명

도1은 종래의 부유 트랩형 단위 메모리 소자의 전형적인 SONOS(Silicon Oxide Nitride Oxide Semiconductor) 구성을 나타내는 단면도이다.

도2는 도 1의 I-I'를 따라 취해진 부유 트랩형 메모리 소자의 에너지 밴드도이다.

도3은 도2의 상태에서 게이트 전극에 상대적으로 낮은 전압이 인가될 때의 에너지 밴드 및 캐리어 흐름을 나타내는 도면이다.

도4는 본 발명의 일 실시예에 의해 이루어진 부유 트랩형 메모리 소자의 기판에서 게이트 전극으로의 물질층에 따른 에너지 밴드도이다.

도5 내지 도7은 본 발명의 다른 실시예들에서 부유 트랩형 메모리 소자의 기판에서 게이트 전극으로의 물질층에 따른 에너지 밴드도이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 비휘발성 반도체 메모리 장치에 관한 것으로, 보다 상세하게는 비휘발성 반도체 메모리 장치의 부유 트랩형 메모리 소자에 관한 것이다.

비휘발성 반도체 메모리 장치는 메모리 셀을 형성하는 메모리 소자를 구조에 따라 부유 게이트형 메모리 소자(floating gate type memory device)와 부유 트랩형 메모리 소자(floating trap type memory device)로 나눌 수 있다. 부유 게이트형 메모리 소자는 메모리 소자에서 기판 채널과 조절 게이트 사이에 절연막에 의해 고립된 도전체인 부유 게이트를 형성하고, 부유 게이트 내에 자유전하(free carriers)의 형태로 전하를 저장하는 방법으로 프로그래밍을 수행한다. 부유 트랩형 메모리 소자는 메모리 소자에서 게이트 전극과 반도체 기판 사이에 설치된 비도전성 전하 저장층 내에서 형성되는 트랩에 전하를 저장하는 방법에 의해 프로그래밍을 수행할 수 있다.

부유 게이트형 메모리 소자는 도전체 부유 게이트를 사용하므로 부유 게이트와 기판을 이격시키는 터널링

절연막 일부에 결함이 발생하면 부유 게이트에 저장된 모든 전하를 잃을 수 있다. 따라서, 부유 게이트형 메모리 소자는 신뢰성(reliability)을 유지하기 위해 메모리 소자에 부유 트랩형에 비해 상대적으로 두꺼운 터널링 절연막이 필요하다. 이 경우, 터널링 절연막의 두께를 증가시킴에 따라 높은 동작전압이 요구되어 복잡한 주변회로가 필요하다. 그 결과, 반도체 장치에서 소자 고집적화의 한계를 가지며 높은 소비전력의 문제점을 가진다.

반면, 부유 트랩형 메모리 소자는 전하가 깊은 준위의 트랩(deep level trap)에 저장되기 때문에 부유 게이트형 메모리 소자에 비하여 얇은 두께의 터널링 절연막을 사용하는 것이 가능하다. 따라서, 5 내지 10V의 낮은 동작 전압에서 운용될 수 있다. 또한, 부유 게이트형에 비해 간단한 소자 구조를 가지므로 공정이 단순하여 높은 집적도의 실현이 용이하다.

도 1은 종래의 부유 트랩형 단위 메모리 소자의 전형적인 SONOS(Silicon Oxide Nitride Oxide Semiconductor) 구성을 나타내는 단면도이다.

도1을 참조하면, 부유 트랩형 단위 메모리 소자에는 p-형 반도체 기판(10)의 활성영역 상에 차례로 적층된 터널링 절연막(20), 전하저장층(22), 플로팅 절연막(24) 및 게이트 전극(27)로 구성된 게이트 패턴이 위치한다. 게이트 패턴 양측의 활성영역에 n+형 불순물 확산층(28)이 형성되어 있다. 일반적으로 상기 터널링 절연막(20)은 산화막 가운데 열산화막으로 형성되고, 상기 전하저장층(22)은 실리콘 질화막으로 형성된다.

도 2는 도 1의 1-1'를 따라 취해진 부유 트랩형 단위 메모리 소자의 밴드 다이어그램이다.

도 2를 참조하면, 반도체 기판(10), 터널링 절연막(20), 전하저장층(22), 플로팅 절연막(24) 및 게이트 전극(27)에 해당하는 물질들은 각각 고유의 에너지 밴드 갭을 가지고, 에너지 밴드 갭의 차이에 의해 각각의 계면에 전위장벽(potential barrier)들이 존재한다. 종래의 부유 트랩형 단위 메모리 소자에서 전하저장층(22)에 해당하는 실리콘 질화막은 약 5eV의 에너지밴드 갭을 가지고, 터널링 절연막(20)으로서 실리콘 산화막과 전하저장층(22) 사이의 계면에서 전도대(conduction band)의 전위장벽은 약 1eV, 기전자대(balance band)의 전위장벽은 약 2eV 정도이다.

실리콘 질화막은 세가지 트랩준위(trap level)를 가지는 것으로 알려져 있다. 실리콘 질화막의 트랩 센터는 세개의 질소원자와 결합하고 하나의 땀글링 본드(dangling bond)를 가지는 실리콘 원자로 구성된다. 상기 땀글링 본드에 전자가 결합되지 않았을 때, 즉, 정공(hole)이 결합되어 있는 상태는 제1 트랩준위(E_1)에 위치한다. 상기 땀글링 본드에 전자가 하나 결합되어 있는 상태는 상기 제1 트랩준위(E_1)보다 높은 제2 트랩준위(E_2)에 위치하고, 전자가 2개 결합되어 있는 상태는 상기 제2 트랩준위(E_2)보다 높은 제3 트랩준위(E_3)에 위치한다.

부유 트랩형 비휘발성 메모리 장치에서 단위 메모리 소자의 기본적인 동작은 실리콘 질화막의 이들 트랩 준위를 이용한 것이다. 게이트 전극(27)에 양전압이 인가되면, 터널링 절연막(20)을 통하여 전자가 터널링되어 전하저장층(22)내의 트랩에 포획된다. 전하저장층(22) 내에 전자가 쌓임에 따라 소자의 문턱전압(threshold voltage)이 상승하여 프로그램 상태(program state)가 된다. 반대로 도3과 같이 게이트 전극(27)에 음전압을 걸어주면 전하저장층(22) 내의 트랩에 포획되어 있던 전자가 터널링 절연막(20)을 통하여 터널링되어 반도체 기판(10)으로 빠져나간다. 이와 동시에, 반도체 기판(10)으로부터 정공이 터널링 절연막(20)을 통과하여 터널링되어 전하저장층(22)의 제1 트랩준위(E_1)에 포획된다. 이로 인해 소자의 문턱전압이 낮아져 소거상태(erase state)가 된다.

그런데, 메모리 소자가 정상적인 동작을 수행하기 위해서는 채널로부터 주입되는 전하량이 게이트 전극으로부터 주입되는 전하량에 비해 상대적으로 크도록 할 필요가 있다. 기령, 게이트 전극에 양의 전압을 걸 때 게이트 전극에서 부유 트랩으로 공급되는 정공의 양과 채널에서 부유 트랩으로 공급되는 전자의 양이 동일하면 음과 양의 전하가 상쇄되어 해당 메모리 소자에서 부유 트랩의 대전으로 인한 문턱 전압의 변화는 없어지고 문턱 전압 변화를 이용한 소자 동작은 불가능해진다.

터널링 산화막의 두께가 20 옹스트롬 이하인 경우 직접 터널링에 의한 전류량이 F-N 터널링에 의한 전류량을 초과하는 전계영역이 존재함을 이용하면 정상적인 소자 동작을 할 수 있다. 즉, 터널링 산화막 두께가 20 옹스트롬 이하이면 직접 터널링에 의해 전하가 이동하고 50 옹스트롬 두께 정도의 플로팅 산화막은 F-N 터널링에 의해 전하가 이동하므로 채널로부터 주입되는 전하량이 게이트 전극으로부터 주입되는 전하량에 비해 상대적으로 크도록 할 수 있다. 이와같이, 터널링 절연막을 이루는 산화막 두께를 20 옹스트롬 이하로 하고 플로팅 절연막 두께는 더 두껍게 하면 부유 트랩의 프로그래밍과 소거 동작시 전하의 공급은 채널 측에 의해 주로 이루어지고 문턱 전압의 조절 및 소자의 정상 동작이 쉽게 이루어진다.

그러나, 터널링 절연막인 실리콘 산화막의 두께를 20 옹스트롬 이하로 얇게 형성하면 부유 트랩에 저장된 전하의 누출도 쉽게 이루어지므로 비휘발성 반도체 장치의 비휘발 특성 혹은 데이터 유지 기능(retention)이 약화된다.

반면, 터널링 절연막인 실리콘 산화막의 두께를 20 옹스트롬 이상으로 두껍게 하면 데이터 유지 기능은 강화되나 전하는 주로 F-N 터널링에 의해서만 부유 트랩으로 유입되거나 유출된다. 그런데, F-N 터널링에서는 전하 캐리어의 유효 질량(effective mass)이 작고 전하 캐리어 경로 상의 전계의 세기가 클수록 쉽게 이루어진다. 이런 F-N 터널링의 특성은 경우에 따라 소자의 정상적 동작이 어렵게 될 수 있다. 이하 소자 동작의 난점을 설명하기 위해 프로그래밍 동작시와 소거 동작시에 메모리 소자에서 이루어지는 현상을 보다 상세히 살펴본다.

우선 프로그래밍 동작을 살펴보면, 터널링 절연막과 플로팅 절연막은 모두 산화막이므로 프로그래밍 초기의 소자 동작에서 게이트 전극에 전압이 인가될 경우 다음 수학적 1과 같은 동일한 전계를 가진다.

$$E_{ot}=E_{ob}=\frac{Vg-\Phi_{ms}-2\Phi b}{X_{ot}+\frac{\epsilon(ot)}{\epsilon(SIN)}+X_{ob}}$$

이때 첨자 ot, ob, SIN은 각각 터널링 절연막과 블로킹 절연막, 실리콘 질화막을 의미하며, E는 전계, Vg는 게이트 전극의 전압, Φ_{ms} 및 Φb 는 기판과 게이트 전극의 일함수 차이 및 기판 표면 전위, X 산화막의 두께, ϵ 은 유전율을 의미한다.

프로그래밍 동작 초기에서 게이트 전극에 양 전압이 인가되면 게이트 전극에서 부유 트랩으로는 정공이 이동하고, 채널에서 부유 트랩으로는 전자가 이동한다. 전하 캐리어의 실효 질량은 주위의 전기장과 경로상 물질에 따라 변동되나 통상 전자가 명확히 가벼운 것으로 되어 채널에서 공급되는 전자가 게이트 전극에서 공급되는 정공에 비해 많아지고 문턱 전압 상승은 이루어진다.

그러나, 프로그래밍 동작시 전하저장층의 부유 트랩에서 계속적인 전자 포획이 이루어지면 블로킹 절연막에 인가되는 전계가 터널링 절연막에 인가되는 전계보다 커지게 된다. 그러면, 전하저장층에 포획된 전자가 다시 블로킹 절연막을 통해 방출되거나 게이트 전극으로부터 정공이 주입되어 프로그램에 의한 문턱 전압의 상승폭이 제한을 받게 된다.

한편, 소거 동작에서는 게이트 전극에 상대적으로 낮은 전압이 인가되면 F-N 터널링에 의해 게이트 전극에서 부유 트랩으로는 전자가 이동하고, 채널에서 부유 트랩으로는 정공이 이동한다. 유효 질량(effective mass)에서 전자가 정공보다 작으므로 게이트 전극으로부터의 전자 유입이 더 쉽게 이루어질 수 있다. 소거 동작 초기에 전하저장층인 실리콘 질화막의 부유 트랩은 전자에 의해 균일하게 채워져 있는 상태를 전제하면 Q는 음수이며, 블로킹 절연막과 터널링 절연막에는 다음의 수식식 2 및 수식식 3과 같은 전계가 이루어진다.

$$E_{ot}=\frac{Vg-\Phi_{ms}-\Phi b-Q(\frac{X_{ot}}{\epsilon(ob)}+\frac{X_n}{2\epsilon(n)})}{X_{ot}+X_n\frac{\epsilon(ot)}{\epsilon(n)}+X_{ob}}$$

$$E_{ob}=(E_{ot}+\frac{Q}{\epsilon(ot)})$$

이때 첨자 ot, ob, n은 각각 터널링 절연막, 블로킹 절연막, 전자 저장층을 의미하며, E는 전계, Vg는 게이트 전극의 전압, Φ_{ms} 및 Φb 는 기판과 게이트 전극의 일함수 차이 및 기판 표면 전위, X 산화막의 두께, ϵ 은 유전율, Q는 실리콘 질화막에 충전된 전하량을 의미한다.

결국, 터널링 절연막의 두께가 20 옹스트롬 이상일 경우 터널링 절연막과 블로킹 절연막에서 동일한 F-N 터널링에 의해 전하가 이동하므로 소거동작에서는 게이트 전극에서 공급되는 전자가 채널에서 공급되는 정공에 비해 많아지고 부유 트랩은 계속 음으로 대전되므로 문턱 전압의 하락 및 데이터 소거는 잘 이루어지지 않는다.

발명이 이루고자 하는 기술적 과제

본 발명은 상술한 바와 같은 종래의 비휘발성 반도체 메모리 장치의 부유 트랩형 메모리 소자의 문제점을 해결하기 위한 것으로, 데이터 보유 기능을 강화하기 위해 터널링 절연막을 이루는 산화막을 20 옹스트롬 이상으로 설치하는 경우에도 소거 동작이 정확히 이루어질 수 있는 비휘발성 반도체 메모리 장치의 부유 트랩형 메모리 소자를 제공하는 것을 목적으로 한다.

본 발명은 또한, 프로그래밍과 소거의 속도를 향상시킬 수 있는 부유 트랩형 메모리 소자를 제공하는 것을 목적으로 한다.

발명의 구성 및 작용

상기 목적을 달성하기 위한 본 발명의 소자는 반도체 기판, 기판 위로 형성된 게이트 전극, 기판과 게이트 전극 사이에 차례로 형성된 터널링 절연막, 전하 저장층, 블로킹 절연막, 게이트 전극 양측의 기판에 형성된 불순물 도핑층을 구비하는 비휘발성 반도체 메모리 장치의 부유 트랩형 메모리 소자에 있어서, 블로킹 절연막의 유전율이 터널링 절연막의 유전율에 비해 큰 것을 특징으로 한다.

본 발명에서 터널링 절연막은 통상 실리콘 열산화막으로 형성한다. 블로킹 절연막은 유전율이 높고 절연성이 우수한 고유전막으로 형성하는 것이 바람직하다. 또한, 상기 블로킹 절연막은 고유전막 단일층으로 형성하는 것 외에 고유전막과 게이트 전극의 사이에 그리고/또는 고유전막과 채널 사이에 누설 전류를 방지하기 위한 실리콘 산화막 등의 전하 배리어막을 더 구비하여 이루어질 수 있다.

블로킹 절연막과 산화막의 유전율은 소거시의 블로킹 절연막과 터널링 절연막의 전계 세기를 고려하여 블로킹 절연막을 통한 전지의 주입에 의한 전하량 변화보다 터널링 절연막을 통한 정공의 주입 혹은 전지의 방출에 의한 전하량 변화가 더 큰 상태가 되도록 결정하는 것이 바람직하다.

본 발명의 실시시예에서, 상기 반도체 소자는 NAND형 셀 어레이의 형태로 배치될 수 있다. 구체적으로, 본 발명의 실시시예는 반도체 기판 상에 나란히 배치된 복수개의 활성영역들을 포함한다. 상기 활성영역들의

상부를 스트림 선택 게이트 전극 및 접지 선택 게이트 전극이 나란히 가로지른다. 상기 스트림 선택 게이트 전극과 상기 접지 선택 게이트 전극 사이에서 복수개의 메모리 게이트 전극들이 상기 활성영역들 상부를 나란히 가로지른다. 상기 각 활성영역들과 상기 각 메모리 게이트 전극들 사이에 터널링 절연막, 전하 저장층 및 플로팅 절연막이 차례로 적층된다. 상기 게이트 전극들 양측의 활성영역 내에 불순물 도우핑층이 형성된다. 본 발명에 있어서, 상기 플로팅 절연막의 유전율은 터널링 절연막의 유전율에 비해 큰 것을 특징으로 한다. 즉, 상기 터널링 절연막은 실리콘 열산화막으로 형성할 수 있고, 상기 플로팅 절연막은 유전율이 높고 절연성이 우수한 고유전막으로 형성할 수 있다. 상기 선택 게이트 전극들과 상기 활성영역 사이에는 단일 게이트 절연막이 개재되거나, 터널링 절연막, 전하저장층 및 플로팅 절연막이 차례로 적층되어 개재될 수도 있다.

이하 도면을 참조하면서 본 발명의 실시예를 통해 본 발명을 상세히 설명하기로 한다.

도4는 본 발명의 일 실시예에 의해 이루어진 부유 트랩형 메모리 소자의 물질층에 따른 에너지 밴드도이다.

도4를 참조하면, 도4의 막 배치는 종래의 부유 트랩형 메모리 소자의 SONOS(Silicon Oxide Nitride Oxide Semiconductor) 구조와 유사한 구조를 가지나 플로팅 절연막이 터널링 절연막과 같은 산화막이 아니고 고유전막으로 이루어진다. 즉, 기판으로부터 게이트 전극까지 반도체 기판(10), 터널링 절연막(20), 전하 저장층(22), 고유전막(34), 게이트 전극(27)이 차례로 배치된다. 본 발명의 부유 트랩형 비휘발성 메모리 소자에서의 터널링 절연막과 플로팅 절연막의 전계의 세기를 살펴보면, 프로그래밍 동작 초기에서 다음의 수학적식 4 및 수학적식 5와 같이 된다.

$$E_{ot} = \frac{V_g - \phi_{ms} - 2\phi_b}{X_{ot} + X_n \frac{\epsilon(ot)}{\epsilon(n)} + X_{ob} \frac{\epsilon(ot)}{\epsilon(ob)}}$$

$$E_{ob} = E_{ot} \frac{\epsilon(ot)}{\epsilon(ob)}$$

이때 첨자 ot, ob, n은 각각 터널링 절연막, 고유전막인 플로팅 절연막, 전자 저장층을 의미하며, E는 전계, V_g 는 게이트 전극의 전압, ϕ_{ms} 및 ϕ_b 는 기판과 게이트 전극의 일함수 차이 및 기판 표면 전위, X 산화막의 두께, ϵ 은 유전율을 의미한다.

플로팅 절연막의 유전율이 터널링 절연막의 유전율에 비해 높아지도록 고유전막을 사용하므로 수학적식 5에서 나타나듯이 터널링 절연막의 전계 세기가 플로팅 절연막의 전계 세기에 비해 유전율비만큼 상대적으로 강화된다.

따라서, 프로그래밍 동작시 터널링 절연막을 통한 전자의 주입은 더욱 쉽게 이루어진다. 그 결과, 게이트 전극으로부터의 홀의 유입에 비해 채널로부터의 전자 유입이 월등하므로 프로그래밍 동작이 쉽게 이루어지며, 이때의 문턱 전압의 상승 속도는 증가되는 효과를 얻을 수 있다.

한편, 수학적식 1과 수학적식 4를 비교하면, 종래의 SONOS 구조 부유 트랩형 소자의 터널링 산화막에 인가되는 전계에 비해 본 발명에서는 더 큰 전계가 인가된다. 즉, 다음 수학적식 6과 같이 종래의 터널링 산화막에 인가되는 전계에서 본 발명의 실시예에 따라 터널링 산화막에 인가되는 전계를 감하면 종래에 인가된 전계가 양이라는 전제하에서 항상 양이 됨을 알 수 있다.

$$\Delta E_{ot} = \frac{(V_g - \phi_{ms} - 2\phi_b) \left(1 - \frac{\epsilon(ot)}{\epsilon(ob)}\right) X_{ob}}{\left(X_{ot} + X_n \frac{\epsilon(ot)}{\epsilon(n)} + X_{ob}\right) \left(X_{ot} + X_n \frac{\epsilon(ot)}{\epsilon(n)} + X \frac{\epsilon(ot)}{\epsilon(ob)}\right)}$$

이때 $\epsilon(ob)$ 는 고유전막을 사용한 경우의 플로팅 절연막의 유전율을 의미한다.

따라서, 동일한 게이트 전압 인가시 종래에 비해 더 빠른 프로그래밍 동작 속도를 얻을 수 있다.

한편, 소거 동작에서의 터널링 절연막과 플로팅 절연막에서의 전계의 세기를 살펴보면 다음의 수학적식 7 및 8과 같이 된다.

$$E_{ot} = \frac{V_g - \phi_{ms} - \phi_b - Q \left(\frac{X_{ot}}{\epsilon(ob)} + \frac{X_n}{2\epsilon(n)} \right)}{X_{ot} + X_n \frac{\epsilon(ot)}{\epsilon(n)} + X_{ob} \frac{\epsilon(ot)}{\epsilon(ob)}}$$

$$E_{ob} = \left(E_{ot} + \frac{Q}{\epsilon(ot)} \right) \frac{\epsilon(ot)}{\epsilon(ob)}$$

이때, Q는 음수값이므로 플로킹 절연막의 유전율 $\epsilon(\text{ob})$ 를 터널링 절연막의 유전율 $\epsilon(\text{ot})$ 에 비해 충분히 크도록 가져가면 터널링 절연막에서의 전계를 플로킹 절연막의 전계에 비해 충분히 크게 할 수 있다. 따라서, 전하 캐리어인 정공과 전자의 유효 질량의 차이에도 불구하고 터널링 절연막을 통한 전하 캐리어 이동, 즉, 채널 정공의 유입과 전하 저장층 전자의 유출에 의한 전하량 변화가 플로킹 절연막을 통한 전하 캐리어 이동, 즉, 게이트 전극 전자 유입에 의한 전하량 변화보다 크도록 할 수 있다. 결국, 음으로 대전된 전하 저장층에서 채널 정공의 유입에 의해 문턱 전압이 하락되는 소거 동작이 쉽게 달성될 수 있다.

또한, 수학적 6의 연산과 같은 방법으로 본 발명과 종래의 소거 동작시 터널링 절연막에 인가되는 전계를 비교하면, 본 발명의 적용에 따른 터널링 절연막에서의 전계가 항상 크다는 것을 알 수 있다. 따라서, 소거 동작의 속도도 증가하고, 전체 반도체 장치의 동작 속도도 증가된다.

도5 내지 도7은 본 발명의 다른 실시예들에서 물질층에 따른 에너지 밴드도이다.

도5를 참조하면, 기판으로부터 게이트 전극까지 반도체 기판(10), 터널링 절연막(20), 전하 저장층(22), 플로킹 절연막(44), 게이트 전극(27)이 차례로 배치된다. 전하 저장층(22)과 게이트 전극(27) 사이에 고유전막(34) 외에 게이트 전극(27) 쪽으로 실리콘 산화막(36)을 추가시켜 플로킹 절연막(44)을 고유전막(34)과 실리콘 산화막(36)의 이중막으로 구성한다.

도6을 참조하면, 기판으로부터 게이트 전극까지 반도체 기판(10), 터널링 절연막(20), 전하 저장층(22), 플로킹 절연막(54), 게이트 전극(27)이 차례로 배치된다. 전하 저장층(22)과, 게이트 전극(27) 아래쪽의 고유전막(34) 사이에 실리콘 산화막(38)을 추가시켜 플로킹 절연막(54)을 고유전막(34)과 실리콘 산화막(38)의 이중막으로 구성한다.

또한, 도7을 참조하면, 기판으로부터 게이트 전극까지 반도체 기판(10), 터널링 절연막(20), 전하 저장층(22), 플로킹 절연막(64), 게이트 전극(27)이 차례로 배치된다. 고유전막(34)과 게이트 전극(27) 사이 및 고유전막(34)과 전하 저장층(22) 사이에 각각 실리콘 산화막(36, 38)을 추가시켜 플로킹 절연막(64)을 실리콘 산화막(36), 고유전막(34), 실리콘 산화막(38)의 삼중막으로 구성한다.

이때, 이들 실시예에서 플로킹 절연막의 유전율은 고유전막과 산화막의 유전율 및 두께를 감안하여 $\epsilon(\text{ob})$ 를 $\epsilon(\text{ot})$ 로 바꾼 형태가 된다. 그리고, 종래의 산화막질 플로킹 절연막에 대한 전계의 변화는 결국 고유전막의 설치에 의한 것이며, 산화막은 고유전막이 충분한 절연강도를 가지지 못할 경우에 혹은 상하막과 부착성을 가지지 못할 경우에 절연보조막 혹은 버퍼막으로 주로 기능하게 된다. 따라서, 수학적 4 내지 수학적 7은 이들 도5 내지 도7의 실시예들에서도 터널링 절연막의 두께 X_{ot} 의 보정하에 고유전막만을 플로킹 절연막으로 채용한 경우와 실질적으로 동일한 형태 및 의미를 가지고 적용될 수 있다. 즉, 터널링 절연막에서의 전계 및 고유전막에서의 전계는 두께 X_{ob} 보정하에 동일한 형태로 표현될 수 있다.

본 발명의 실시예들에서 상기 고유전막은 주기율표상의 III족 원소 또는 VB족 원소의 금속산화물(metallic oxide) 또는 금속질산화물(metallic oxynitride)이거나, 상기 금속산화물에 IV족 원소가 도핑된 금속산화물 또는 금속질산화물일 수 있다. 이 때, 상기 도핑되는 IV족 원소는 상기 금속산화물의 0.1%(weight percent) 내지 30%(weight percent) 정도 첨가하여 누설전류와 계면상태 밀도(interface state density)를 감소시킬 수 있다. 또한, 상기 고유전막은 산화 하프늄(HfO_2), 알루미늄산 하프늄(Hafnium aluminate: $\text{Hf}_{1-x}\text{Al}_x\text{O}_2$) 또는 규산하프늄(Hafnium silicate: $\text{Hf}_x\text{Si}_{1-x}\text{O}_2$), 하프늄 실리콘옥시나이트라이드(Hf-Si-oxynitride), 산화지르코늄(ZrO_2), 규산염지르코늄($\text{Zr-Silicate: Zr}_x\text{Si}_{1-x}\text{O}_2$), 지르코늄 실리콘옥시나이트라이드(Zr-Si-oxynitride)로 형성할 수도 있다.

바람직하게는 상기 고유전막은 유전율이 10이고 에너지 밴드 갭(gap)이 8.3eV인 산화 알루미늄(Al_2O_3)막 또는 유전율이 25이고 밴드 갭이 8.3eV인 이산화 지르코늄(ZrO_2)막을 사용할 수 있다. 상기 고유전막으로는 산화 알루미늄 및 이산화 지르코늄 외에 산화 이트륨(Y_2O_3), 오산화 탄탈륨(Ta_2O_5), 이산화 티타늄(TiO_2), $\text{PZT}[\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3]$, 티탄산 납(PbTiO_3), PbZrO_3 , 리튬이 도핑된 $\text{PZT}[(\text{Pb}, \text{La})(\text{Zr}, \text{Ti})\text{O}_3]$, 산화 납(PbO), 티탄산 스트론튬(SrTiO_3), 티탄산 바륨(BaTiO_3), 오산화 바나듐(V_2O_5), $\text{BST}[(\text{Ba}, \text{Sr})\text{TiO}_3]$, $\text{SBT}(\text{SrBi}_2\text{Ta}_2\text{O}_9)$, $\text{Bi}_4\text{Ti}_3\text{O}_{12}$, 같은 물질막을 사용하거나 각 고유전 물질막의 조합으로 이루어지는 막을 사용하는 것이 바람직하다.

또한, 전하 저장층은 전형적으로 실리콘 질화막(Si_3N_4)이 사용되지만 이 외에도 실리콘 옥시나이트라이드, 실리콘이 풍부한 실리콘 산화막, 기타 강유전체막(ferroelectric layer)을 사용할 수 있다.

도 8은 본 발명의 일 실시예에 따른 메모리 소자의 셀 어레이를 나타낸 평면도이다.

도 9 및 도 10은 각각 도 8의 I-I'를 따라 취해진 반도체 소자의 셀 어레이를 나타낸 단면도들이다.

도 8 내지 도 10을 참조하면, 반도체 기판(10)에 복수개의 활성영역들(Act)이 배치된다. 상기 활성영역들(Act)은 상기 반도체 기판에 일방향으로 평행하게 배치된다. 상기 활성영역들(Act)의 상부를 스트링 선택 게이트 전극(117s) 및 접지 선택 게이트 전극(117g)이 나란히 가로지른다. 상기 스트링 선택 게이트 전극(117s) 및 상기 접지 선택 게이트 전극(117g) 사이에 복수개의 메모리 게이트 전극들(117m)이 배치되어 상기 활성영역들(Act)의 상부를 나란히 가로지른다. 상기 활성영역들(Act)과 상기 메모리 게이트 전극들(117m) 사이에 차례로 적층된 터널링 절연막(110), 전하저장층(112) 및 플로킹 절연막(114)이 개재된다. 이 때, 상기 터널링 절연막(110), 상기 전하저장층(112) 및 상기 플로킹 절연막(114)은 본 발명의 실시예에서 상술한 것과 동일한 물질로써 형성한다. 상기 스트링 선택 게이트 전극(117s), 상기 접지 선택 게이트 전극(117g) 및 상기 메모리 게이트 전극들(117m)의 양측에 불순물 도핑영역(102)이 형성되어 있다. 상기 접지 선택 게이트 전극(117g)의 상기 메모리 게이트 전극(117m) 반대편에 인접하여 공통소스 라인(CSL)이 배치되어 있다. 상기 공통소스 라인(CSL)은 상기 접지 선택 게이트 전극(117g)과 평행하게 상기 활성영역들(Act)의 상부를 가로질러 상기 접지 선택 게이트 전극(117g)에 인접한 불순물 도핑영역들(소스 영역: 102s)의 각각에 접속된다. 상기 게이트 전극들(117g, 117m, 117s) 및 상기 공통소스 라인(CSL)을 갖는 반도체 기판의 전면은 증간절연막(120)에 의해 덮여진다. 상기 증간절연막(120)을 관통하여 상

기 스트링 선택 게이트(117s)의 상기 메모리 게이트 전극(117m) 반대편에 인접한 물순물 도핑영역들(드레인 영역: 102d)에 각각 비트라인 플러그(DC)가 접속된다. 상기 층간절연막(120)의 상부에 복수개의 비트라인들(BL)이 상기 게이트 전극들(117g, 117m, 117s)의 상부를 가로지른다. 상기 비트라인(BL)은 상기 상기 비트라인 플러그(DC)와 전기적으로 접속된다.

상기 각 메모리 게이트 전극들(117m)과 상기 각 활성영역들(Act)이 교차하는 영역에 메모리 셀이 위치하고, 상기 각 선택 게이트들(117s, 117g)과 상기 각 활성영역들(Act)이 교차하는 영역에 선택 트랜지스터들이 위치한다.

도 9에 도시된 것과 같이, 상기 접지 선택 게이트 전극(117g) 및 상기 스트링 선택 게이트 전극(117s)의 각각과 상기 활성영역들(도 8의 Act) 사이에는 터널절연막(110), 전하저장층(112) 및 블로킹 절연막(114)이 차례로 적층되어 개재될 수 있다. 이 경우, 메모리 소자의 동작 전에 상기 접지 선택 게이트 전극(117g) 및 상기 스트링 선택 게이트 전극(117s)에 음의 전압을 인가하여 선택 트랜지스터의 문턱전압을 낮출 수 있다.

이와 달리, 도 10에 도시된 것과 같이, 상기 접지 선택 게이트 전극(117g) 및 상기 스트링 선택 게이트 전극(117s)의 각각과 상기 활성영역들(도 8의 Act) 사이에는 단일층의 게이트 절연막(116)이 개재될 수도 있다. 상기 게이트 절연막(116)은 실리콘 산화막 또는 실리콘 옥시나이트라이드 중 하나이거나 이들의 복합막일 수 있다.

발명의 효과

본 발명에 따르면, 부유 트랩형 비휘발성 반도체 메모리 소자에서 데이터 보유 기능을 강화하기 위해 터널링 절연막을 이루는 산화막을 20 Å 이상으로 설치하여 터널링이 F-N 터널링에 의해 주로 이루어지는 경우에도 소자의 각 동작이 오류 없이 실행될 수 있으며, 또한, 프로그래밍과 소거의 속도를 향상시켜 반도체 메모리 장치의 성능을 전반적으로 향상시킬 수 있다.

(57) 청구의 범위

청구항 1

반도체 기판;

상기 기판 위로 형성된 게이트 전극;

상기 기판과 상기 게이트 전극 사이에 차례로 적층된 터널링 절연막, 전하 저장층, 블로킹 절연막; 및

상기 게이트 전극 양측의 상기 기판에 형성된 물순물 도핑층을 포함하되,

상기 블로킹 절연막은 유전율이 상기 터널링 절연막의 유전율에 비해 큰 고유전막을 적어도 한층 포함하는 것임을 특징으로 하는 부유 트랩형 비휘발성 반도체 메모리 소자.

청구항 2

제 1 항에 있어서,

상기 터널링 절연막은 실리콘 열산화막으로 형성된 것임을 특징으로 하는 부유 트랩형 비휘발성 반도체 메모리 소자.

청구항 3

제 1 항에 있어서,

상기 고유전막은 멘델레예프 주기율표(Mendeleef Periodic Table)의 III족 또는 VB족에 위치하는 원소들의 금속산화막(metallic oxide layer) 또는 금속산화질화막(metallic oxynitride layer)를 적어도 한층 포함하는 것을 특징으로 하는 비휘발성 반도체 메모리 소자.

청구항 4

제 1 항에 있어서,

상기 고유전막은 멘델레예프 주기율표의 III족 또는 VB족에 위치하는 원소들의 금속산화물 또는 금속질화산화물에 IV족 원소가 도핑된 물질막을 적어도 하나 포함하는 것을 특징으로 하는 비휘발성 메모리 소자.

청구항 5

제 4 항에 있어서,

상기 IV족 원소는 Zr, Si, Ti, Hf 중 하나인 것을 특징으로 하는 비휘발성 메모리 소자.

청구항 6

제 1 항에 있어서,

상기 고유전막은 이산화 하프늄(HfO_2), 알루미늄산 하프늄($\text{Hf}_{1-x}\text{Al}_x\text{O}_2$) 및 규산 하프늄($\text{Hf}_x\text{Si}_{1-x}\text{O}_2$), 하프늄 실리콘옥시나이트라이드(Hf-Si-oxynitride), 산화지르코늄(ZrO_2), 규산염지르코늄($\text{Zr-Silicate:ZrSi}_x\text{Si}_{1-x}\text{O}_2$), 지르코늄 실리콘옥시나이트라이드(Zr-Si-oxynitride) 중 선택된 하나 또는 이들의 조합막을 포함하는 것을 특징으로 하는 비휘발성 메모리 소자.

청구항 7

제 1 항에 있어서,

상기 고유전막은 산화 알루미늄(Al_2O_3)막, 오산화 탄탈륨(Ta_2O_5)막, 이산화 티타늄(TiO_2)막, $PZT[Pb(Zr,Ti)O_3]$ 막, 티탄산 납($PbTiO_3$)막, $PbZrO_3$ 막, 란타이 도핑된 $PZT[(Pb,Ln)(Zr,Ti)O_3]$ 막, 산화 납(PbO)막, 티탄산 스트론튬($SrTiO_3$)막, 티탄산 바륨($BaTiO_3$)막, $BST[(Ba,Sr)TiO_3]$ 막, $SBT(SrBi_2Ta_2O_9)$ 막, $Bi_4Ti_3O_{12}$ 막 중 선택된 하나 또는 이들이 조합된 막을 적어도 하나 포함하는 것을 특징으로 하는 부유 트랩형 비휘발성 반도체 메모리 소자.

청구항 8

제 1 항에 있어서,

상기 블로킹 절연막은

상기 고유전막:및

상기 전하저장층 및 상기 고유전막 사이에 개재된 실리콘 산화막을 포함하는 것을 특징으로 하는 부유 트랩형 비휘발성 반도체 메모리 소자.

청구항 9

제 1 항에 있어서,

상기 블로킹 절연막은,

상기 고유전막:및

상기 고유전막 및 상기 게이트 전극 사이에 개재된 실리콘 산화막을 포함하는 것을 특징으로 하는 부유 트랩형 비휘발성 반도체 메모리 소자.

청구항 10

제 1 항에 있어서,

상기 블로킹 절연막은,

상기 고유전막:

상기 전하 저장층 및 상기 고유전막 사이에 개재된 실리콘 산화막:및

상기 고유전막 및 상기 게이트 전극 사이에 개재된 실리콘 산화막을 포함하는 것을 특징으로 하는 부유 트랩형 반도체 메모리 소자.

청구항 11

제 1 항에 있어서,

상기 전하 저장층은 실리콘 질화막(Si_3N_4), 실리콘 옥시나이트라이드막, 실리콘이 풍부한 실리콘 산화막(silicon rich SiO_2), 강유전체막(ferroelectric layer) 가운데 하나의 막으로 이루어지는 것을 특징으로 하는 부유 트랩형 비휘발성 반도체 메모리 소자.

청구항 12

반도체 기판의 소정영역에 나란히 배치된 복수개의 활성영역들:

상기 활성영역들을 나란히 가로지르는 스트링 선택 게이트 전극 및 접지 선택 게이트 전극:

상기 스트링 선택 게이트 전극 및 상기 접지 선택 게이트 전극 사이에 배치되어 상기 활성영역들을 나란히 가로지르는 복수개의 메모리 게이트 전극들:

상기 각 활성영역과 상기 각 메모리 게이트 전극 사이에 차례로 적층된 터널링 절연막, 전하 저장층, 블로킹 절연막:및

상기 게이트 전극들 양측의 상기 활성영역 내에 형성된 불순물 도핑층들을 포함하되, 상기 블로킹 절연막은 유전율이 상기 터널링 절연막의 유전율에 비해 큰 고유전막을 적어도 한층 포함하는 것을 특징으로 하는 부유 트랩형 비휘발성 반도체 메모리 소자.

청구항 13

제 12 항에 있어서,

상기 터널링 절연막은 실리콘 열산화막으로 형성된 것임을 특징으로 하는 부유 트랩형 비휘발성 반도체 메모리 소자.

청구항 14

제 12 항에 있어서,

상기 고유전막은 멘델레예프 주기율표(Mendeleef Periodic Table)의 III족 또는 VB족에 위치하는 원소들의 금속산화막 또는 금속산화질화막을 적어도 하나 포함하는 것을 특징으로 하는 비휘발성 반도체 메모리

소자.

청구항 15

제 12 항에 있어서,

상기 고유전막은 맨델레예프 주기율표의 III족 또는 VB족에 위치하는 원소들의 금속산화물 또는 금속산화 질화물에 IV족 원소가 도핑된 물질막을 적어도 하나 포함하는 것을 특징으로 하는 비휘발성 메모리 소자.

청구항 16

제 15 항에 있어서,

상기 IV족 원소는 Zr, Si, Ti, Hf 중 하나인 것을 특징으로 하는 비휘발성 메모리 소자.

청구항 17

제 12 항에 있어서,

상기 고유전막은 이산화 하프늄(HfO_2), 알루미늄산 하프늄($\text{Hf}_{1-x}\text{Al}_x\text{O}_y$) 및 규산 하프늄($\text{Hf}_x\text{Si}_{1-x}\text{O}_2$), 하프늄 실리코옥시나이트라이드(Hf-Si-oxynitride), 산화지르코늄(ZrO_2), 규산염지르코늄(Zr-Silicate: $\text{Zr}_x\text{Si}_{1-x}\text{O}_2$), 지르코늄 실리코옥시나이트라이드(Zr-Si-oxynitride) 중 선택된 하나 또는 이들의 조합막을 적어도 하나 포함하는 것을 특징으로 하는 비휘발성 메모리 소자.

청구항 18

제 12 항에 있어서,

상기 고유전막은 산화 알루미늄(Al_2O_3)막, 오산화 탄탈륨(Ta_2O_5)막, 이산화 티타늄(TiO_2)막, PZT [$\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$]막, 티탄산 납(PbTiO_3)막, PbZrO_3 막, 란타이 도핑된 PZT [(Pb,La)(Zr,Ti) O_3]막, 산화 납(PbO)막, 티탄산 스트론튬(SrTiO_3)막, 티탄산 바륨(BaTiO_3)막, BST [(Ba,Sr) TiO_3]막, SBT ($\text{SrBi}_2\text{Ta}_2\text{O}_9$)막, $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 막 중 선택된 하나 또는 이들이 조합된 막을 적어도 하나 포함하는 것을 특징으로 하는 부유 트랩형 비휘발성 반도체 메모리 소자.

청구항 19

제 12 항에 있어서,

상기 플로팅 절연막은,

상기 고유전막:및

상기 전하 저장층과 고유전막 사이에 개재된 실리콘 산화막을 포함하는 것을 특징으로 하는 부유 트랩형 비휘발성 반도체 메모리 소자.

청구항 20

제 12 항에 있어서,

상기 플로팅 절연막은,

상기 고유전막:및

상기 고유전막 및 상기 메모리 게이트 전극 사이에 개재된 실리콘 산화막을 포함하는 것을 특징으로 하는 부유 트랩형 비휘발성 반도체 메모리 소자.

청구항 21

제 12 항에 있어서,

상기 플로팅 절연막은,

상기 고유전막:

상기 전하 저장층 및 상기 고유전막 사이에 개재된 실리콘 산화막:및

상기 고유전막 및 상기 메모리 게이트 전극 사이에 개재된 실리콘 산화막을 포함하는 것을 특징으로 하는 부유 트랩형 비휘발성 반도체 메모리 소자.

청구항 22

제 12 항에 있어서,

상기 전하 저장층은 실리콘 질화막(Si_3N_4), 실리콘 옥시나이트라이드막, 실리콘이 풍부한 실리콘 산화막(silicon rich SiO_2), 강유전체막(ferroelectric layer) 가운데 하나의 막으로 이루어지는 것을 특징으로 하는 부유 트랩형 비휘발성 반도체 메모리 소자.

청구항 23

제 12 항에 있어서,

상기 스트림 선택 게이트 전극 및 상기 접지 선택 게이트 전극의 각각과 상기 각 활성영역 사이에 개재된

게이트 절연막을 더 포함하는 것을 특징으로 하는 부유 트랩형 비휘발성 메모리 소자.

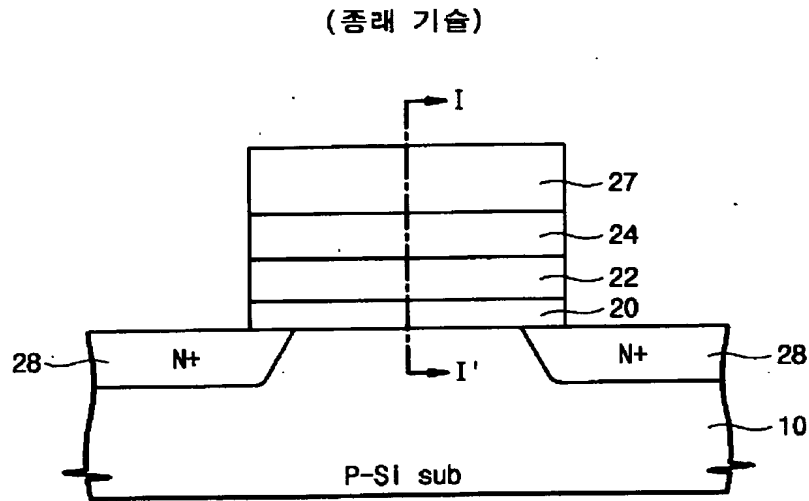
청구항 24

제 12 항에 있어서,

상기 스트링 선택 게이트 전극 및 상기 각 활성영역 사이와, 상기 접지 선택 게이트 전극 및 상기 각 활성영역 사이에 차례로 적층된 터널링 절연막, 전하 저장층 및 블로킹 절연막이 더 개재된 것을 특징으로 하는 부유 트랩형 비휘발성 메모리 소자.

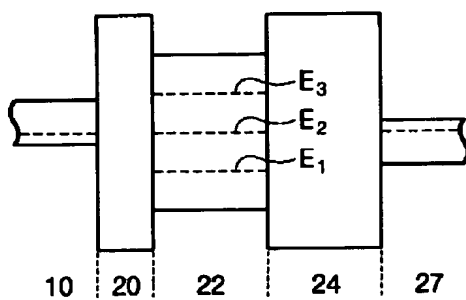
도면

도면1



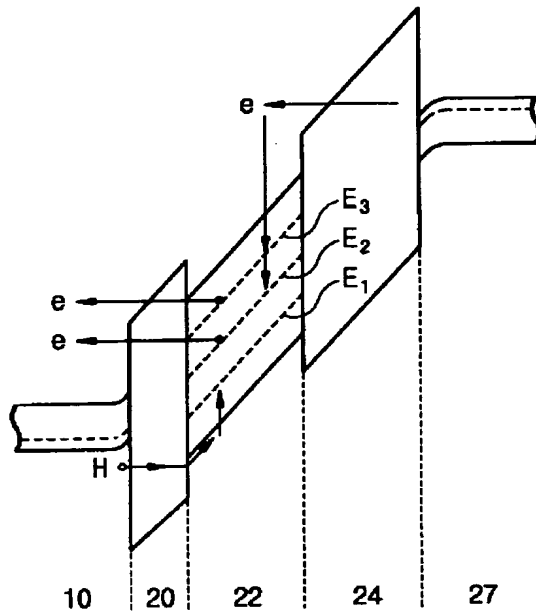
도면2

(종래 기술)

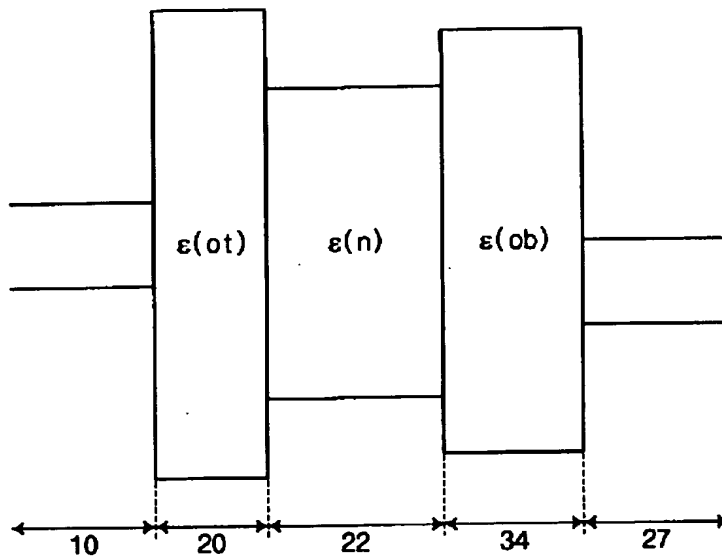


도면3

(종래 기술)

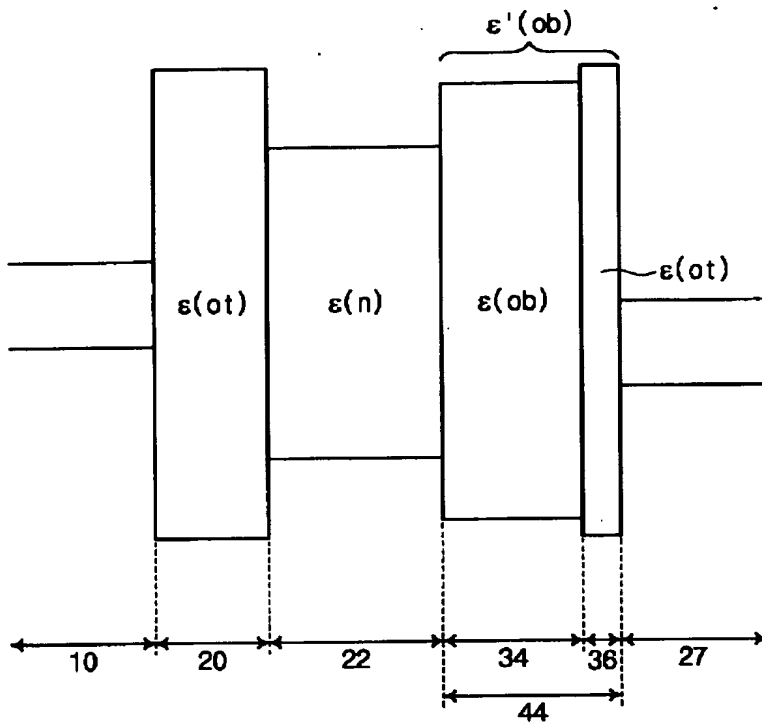


도면4

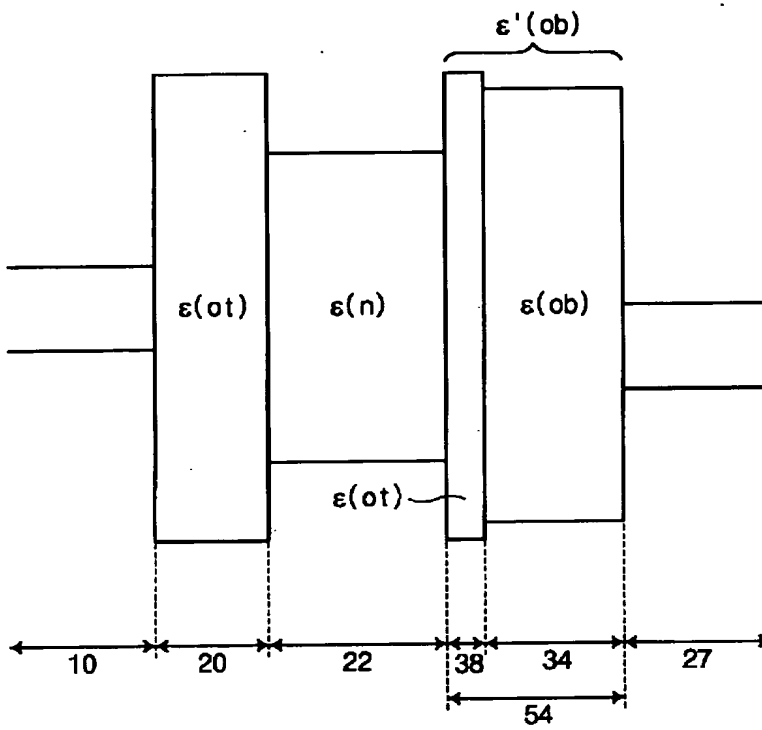


16-10

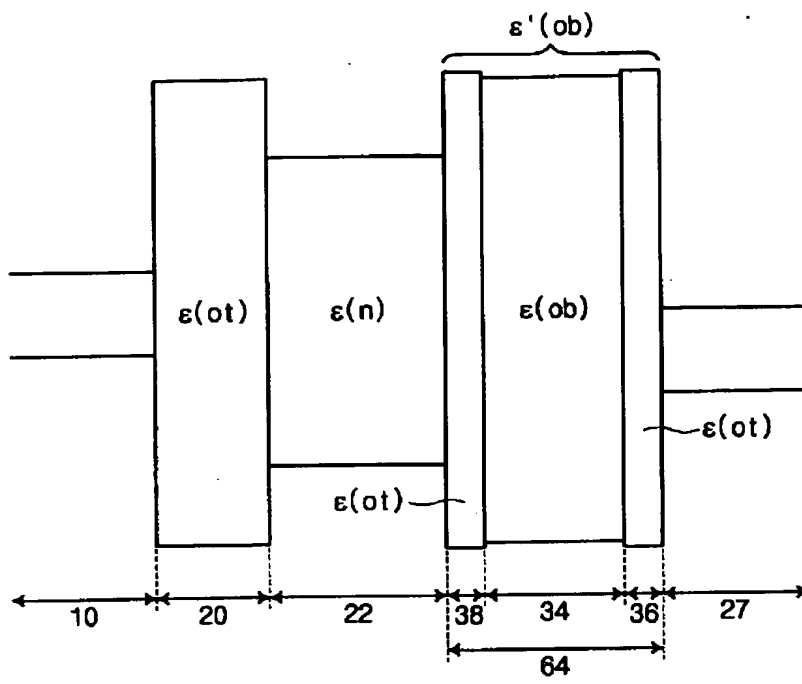
도 25



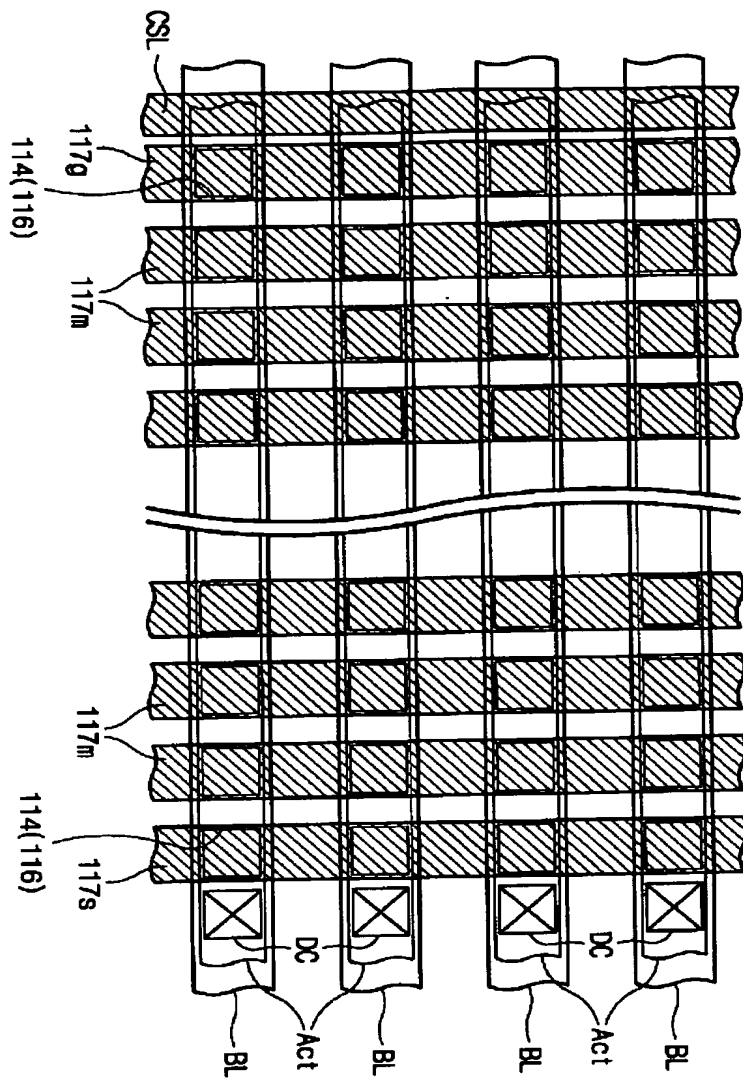
도면6



도 27



도 8



도면9

